

Attorney's Docket No. 5649-61

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

jc997 U.S. PTO
10/085367
02/28/02

In re: Jeung et al.

Serial No.: To Be Assigned

Filed: Concurrently Herewith

For: MEMORY CELL STRUCTURE OF METAL PROGRAMMABLE READ ONLY
MEMORY HAVING BIT CELLS WITH A SHARED TRANSISTOR CELL

Date: February 28, 2002

BOX PATENT APPLICATION

Commissioner for Patents

Washington, DC 20231

SUBMITTAL OF PRIORITY DOCUMENT

Sir:

To complete the requirements of 35 U.S.C. § 119, enclosed is a certified copy of
Korean priority Application No. 2001-0030523, filed May 31, 2001.

Respectfully submitted,



Timothy J. O'Sullivan
Registration No. 35,632



20792

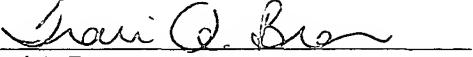
PATENT TRADEMARK OFFICE

CERTIFICATE OF EXPRESS MAILING

Express Mail Label No. EV 015663519 US

Date of Deposit: February 28, 2002

I hereby certify that this correspondence is being deposited with the United States Postal Service "Express Mail Post Office to Addressee" service under 37 CFR 1.10 on the date indicated above and is addressed to:
BOX PATENT APPLICATION, Commissioner for Patents, Washington, DC 20231.


Traci A. Brown

+2
Q. L
4/29/02

JC997 U.S. PTO
10/085367
02/28/02

대한민국 특허청
KOREAN INTELLECTUAL
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 특허출원 2001년 제 30523 호
Application Number PATENT-2001-0030523

출원년월일 : 2001년 05월 31일
Date of Application MAY 31, 2001

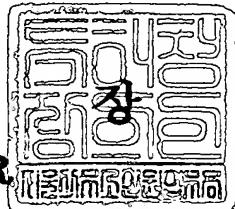
출원인 : 삼성전자 주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.

2001 년 11 월 03 일



특허청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0005
【제출일자】	2001.05.31
【국제특허분류】	H01L
【발명의 명칭】	집적도와 독출동작 속도를 향상시키고 전력소모를 감소시킬 수 있는 메탈 프로그래머를 통의 메모리셀 구조
【발명의 영문명칭】	Memory cell structure of metal programmable ROM capable of improving memory density and read speed and reducing power consumption
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	1999-009556-9
【대리인】	
【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	1999-009617-5
【발명자】	
【성명의 국문표기】	정승호
【성명의 영문표기】	JUNG, Seong Ho
【주민등록번호】	690610-1163125
【우편번호】	442-070
【주소】	경기도 수원시 팔달구 인계동 743-74 7/4
【국적】	KR
【발명자】	
【성명의 국문표기】	이영근
【성명의 영문표기】	LEE, Young Keun
【주민등록번호】	630802-1026011

【우편번호】	431-070		
【주소】	경기도 안양시 동안구 평촌동 삼성래미안아파트 101동 1502호		
【국적】	KR		
【발명자】			
【성명의 국문표기】	주용제		
【성명의 영문표기】	CHOO, Yong Jae		
【주민등록번호】	710224-1041712		
【우편번호】	122-050		
【주소】	서울특별시 은평구 갈현동 281-150 주형빌라 101호		
【국적】	KR		
【발명자】			
【성명의 국문표기】	도영숙		
【성명의 영문표기】	DO, Young Sook		
【주민등록번호】	760119-2017724		
【우편번호】	136-073		
【주소】	서울특별시 성북구 안암동3가 54번지 대광빌라 1동 203호		
【국적】	KR		
【심사청구】	청구		
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조 의 규정에 의한 출원심사 를 청구합니다. 대리인 이영필 (인) 대리인 정상빈 (인)		
【수수료】			
【기본출원료】	20	면	29,000 원
【가산출원료】	4	면	4,000 원
【우선권주장료】	0	건	0 원
【심사청구료】	15	항	589,000 원
【합계】	622,000 원		
【첨부서류】	1. 요약서·명세서(도면)_1통		

【요약서】**【요약】**

디퓨전 프로그래머블 룸과 동일한 수준의 집적도를 가지며 독출동작 속도를 향상시키고 전력소모를 감소시킬 수 있는 메탈(또는 비아) 프로그래머블 룸의 메모리셀 구조가 개시된다. 본 발명에 따른 메탈 프로그래머블 룸의 메모리셀 구조는, 워드라인, 비트라인, 제1 및 제2가상 접지라인, 접지라인, 상기 워드라인의 신호와 상기 제1가상 접지라인의 신호에 의해 선택되는 제1비트셀, 및 상기 워드라인의 신호와 상기 제2가상 접지라인의 신호에 의해 선택되는 제2비트셀을 구비하고, 상기 제1비트셀과 상기 제2비트셀이 상기 비트라인에 일단이 연결된 하나의 셀 트랜지스터를 공유하는 것을 특징으로 한다. 상기 셀 트랜지스터의 타단은 상기 제1가상 접지라인, 상기 제2가상 접지라인, 및 상기 접지라인중 어느 하나에 선택적으로 연결되거나 플로우팅되고 상기 셀 트랜지스터의 게이트는 상기 워드라인에 연결된다.

【대표도】

도 3

【명세서】**【발명의 명칭】**

집적도와 독출동작 속도를 향상시키고 전력소모를 감소시킬 수 있는 메탈 프로그래머블 룸의 메모리셀 구조{Memory cell structure of metal programmable ROM capable of improving memory density and read speed and reducing power consumption}

【도면의 간단한 설명】

본 발명의 상세한 설명에서 인용되는 도면을 보다 충분히 이해하기 위하여 도면의 간단한 설명이 제공된다.

도 1은 종래의 메탈 프로그래머블 룸의 2 칼럼 비트 메모리셀 구조를 나타내는 도면이다.

도 2는 종래의 메탈 프로그래머블 룸의 4 칼럼 비트 메모리셀 구조를 나타내는 도면이다.

도 3 내지 도 5는 본 발명에 따른 메탈 프로그래머블 룸의 1 칼럼 비트 메모리셀 구조를 나타내는 도면이다.

도 6 내지 도 8은 본 발명에 따른 메탈 프로그래머블 룸의 2 칼럼 비트 메모리셀 구조를 나타내는 도면이다.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <6> 본 발명은 반도체 메모리장치에 관한 것으로, 특히 메탈 프로그래머블 룸의 메모리셀 구조에 관한 것이다.
- <7> 마스크 룸(Mask Read Only Memory)은 사용자가 필요한 데이터를 제조공정 단계에서 미리 코딩하고 코딩된 데이터를 반복하여 읽어낼 수 있도록 구성된 반도체 메모리장치이다. 마스크 룸에는 임베디드 디퓨전 프로그래머블 룸(Embedded diffusion-programmable ROM)과 임베디드 메탈 프로그래머블 룸(Embedded metal-programmable ROM)이 있다. 임베디드 디퓨전 프로그래머블 룸은 룸 데이터 코드가 제조공정중 디퓨전 공정 단계에서 결정되고, 임베디드 메탈 프로그래머블 룸은 룸 데이터 코드가 제조공정중 메탈 공정 단계에서 결정된다.
- <8> 한편 임베디드 메탈 프로그래머블 룸과 거의 동일한 임베디드 비아(Via) 프로그래머블 룸이 있으며 임베디드 비아 프로그래머블 룸은 룸 데이터 코드가 제조공정중 비아 공정 단계에서 결정된다.
- <9> 일반적으로 임베디드 디퓨전 프로그래머블 룸이 임베디드 메탈 프로그래머블 룸보다 선호되어 왔으며, 그 주된 이유는 전자가 후자보다 대략 25% 내지 35% 정도의 고집적화를 이를 수 있기 때문이다.
- <10> 그러나 임베디드 디퓨전 프로그래머블 룸은 사용자로부터 데이터가 접수된 후 완성된 제품을 만들기 까지 임베디드 메탈 프로그래머블 룸에 비하여 다소 시

간이 더 걸리는 단점이 있다. 최근에는 반도체 제조공정 기술의 발전에 따라 임베디드 메탈(또는 비아) 프로그래머블 롬의 집적도가 크게 향상되고 있으며 Time-to-Market에서 유리한 임베디드 메탈(또는 비아) 프로그래머블 롬의 중요성이 부각되고 있다.

<11> 도 1은 종래의 메탈 프로그래머블 롬의 2 칼럼 비트 메모리셀 구조를 나타내는 도면이다.

<12> 도 1을 참조하면, 종래의 메탈 프로그래머블 롬의 2 칼럼 비트 메모리셀은, 제1 및 제2워드라인(WL1,WL2), 제1 및 제2비트라인(BL1,BL2), 가상(Virtual) 접지라인(VGND), 제1 내지 제4엔모스 셀 트랜지스터(n11 내지 n14)를 구비한다.

<13> 제1 내지 제4엔모스 셀 트랜지스터(n11 내지 n14)의 일단은 가상 접지라인(VGND)에 공통 연결된다. 또한 제1 및 제3엔모스 셀 트랜지스터(n11,n13)의 게이트에는 제1워드라인(WL1)이 연결되고, 제2 및 제4엔모스 셀 트랜지스터(n12,n14)의 게이트에는 제2워드라인(WL2)가 연결된다.

<14> 도 1은 제1워드라인(WL1)에 의해 선택되는 두 개의 비트셀에 데이터(0,1)이 코딩되고, 제2워드라인(WL2)에 의해 선택되는 두 개의 비트셀에 (0,0)이 코딩된 경우를 나타낸다. 제1워드라인(WL1)에 의해 선택되는 두 개의 비트셀에 데이터(0,1)이 코딩된 경우에는, 도 1에 도시된 바와 같이 제1셀 트랜지스터(n11)의 다른 일단은 플로우팅된다. 제2워드라인(WL2)에 의해 선택되는 두 개의 비트셀에 데이터(0,0)이 코딩된 경우에는, 도 1에 도시된 바와 같이 제2셀 트랜지스터(n12)의 다른 일단은

단은 제1비트라인(BL1)에 연결되고 제4셀 트랜지스터(n14)의 다른 일단은 제2비트라인(BL2)에 연결된다.

<15> 도 2는 종래의 메탈 프로그래머블 톰의 4 칼럼 비트 메모리셀 구조를 나타내는 도면이다.

<16> 도 2를 참조하면, 종래의 메탈 프로그래머블 톰의 4 칼럼 비트 메모리셀은, 제1 및 제2워드라인(WL1,WL2), 제1 및 제2비트라인(BL1,BL2), 제1 내지 제3가상 접지라인(VGND1 내지 VGND3), 제1 내지 제8엔모스 셀 트랜지스터(n21 내지 n28)를 구비한다.

<17> 제1 및 제2셀 트랜지스터(n21,n22)의 일단은 제1가상 접지라인(VGND1)에 공통 연결된다. 제3 내지 제6엔모스 셀 트랜지스터(n23 내지 n26)의 일단은 제2가상 접지라인(VGND2)에 공통 연결된다. 제7 및 제8셀 트랜지스터(n27,n28)의 일단은 제3가상 접지라인(VGND3)에 공통 연결된다.

<18> 또한 제1, 제3, 제5, 제7셀 트랜지스터(n21,n23,n25,n27)의 게이트에는 제1워드라인(WL1)이 연결되고, 제2, 제4, 제6, 제8셀 트랜지스터(n22,n24,n26,n28)의 게이트에는 제2워드라인(WL2)가 연결된다.

<19> 도 2는 제1워드라인(WL1)에 의해 선택되는 4개의 비트셀에 데이터(0,0,1,0)이 코딩되고, 제2워드라인(WL2)에 의해 선택되는 4개의 비트셀에 (1,0,1,1)이 코딩된 경우를 나타낸다. 제1워드라인(WL1)에 의해 선택되는 4개의 비트셀에 데이터(0,0,1,0)이 코딩된 경우에는, 도 2에 도시된 바와 같이 n21과 n23의 다른 일

단은 제1비트라인(BL1)에 연결되고 n25의 다른 일단은 플로우팅되며 n27의 다른 일단은 제2비트라인(BL2)에 연결된다.

<20> 제2워드라인(WL2)에 의해 선택되는 4개의 비트셀에 데이터(1,0,1,1)이 코딩된 경우에는, 도 2에 도시된 바와 같이 n22,n26,n28의 다른 일단은 플로우팅되고 n24의 다른 일단은 제1비트라인(BL1)에 연결된다.

<21> 그런데 상술한 종래의 메탈 프로그래머블 룸은 비트라인을 공유하는 디퓨젼 영역들이 서로 분리되어 있으므로, 디퓨젼 프로그래머블 룸에 비하여 면적이 큰 단점이 있고 비트라인의 부하 커패시턴스의 증가로 인해 독출동작 속도가 저하되고 전력소모가 증가하는 단점이 있다.

【발명이 이루고자 하는 기술적 과제】

<22> 따라서 본 발명이 이루고자하는 기술적 과제는, 디퓨젼 프로그래머블 룸과 동일한 수준의 집적도를 가지며 독출동작 속도를 향상시키고 전력소모를 감소시킬 수 있는 메탈(또는 비아) 프로그래머블 룸의 메모리셀 구조를 제공하는 데 있다.

【발명의 구성 및 작용】

<23> 상기 기술적 과제를 달성하기 위한 본 발명의 일면에 따른 메탈 프로그래머블 룸의 메모리셀 구조는, 워드라인, 비트라인, 제1 및 제2가상 접지라인, 상기 워드라인의 신호와 상기 제1가상 접지라인의 신호에 의해 선택되는 제1비트셀, 및 상기 워드라인의 신호와 상기 제2가상 접지라인의 신호에 의해 선택되는 제2

비트셀을 구비하고, 상기 제1비트셀과 상기 제2비트셀이 상기 비트라인에 일단이 연결된 하나의 셀 트랜지스터를 공유하는 것을 특징으로 한다.

<24> 상기 본 발명의 일면에 따른 메탈 프로그래머블 톰의 메모리셀 구조는 접지라인을 더 구비한다. 상기 셀 트랜지스터의 타단은 상기 제1가상 접지라인, 상기 제2가상 접지라인, 및 상기 접지라인중 어느 하나에 선택적으로 연결되거나 플로우팅되고 상기 셀 트랜지스터의 게이트는 상기 워드라인에 연결된다.

<25> 상기 기술적 과제를 달성하기 위한 본 발명의 다른 일면에 따른 메탈 프로그래머블 톰의 메모리셀 구조는, 제1 및 제2워드라인, 비트라인, 접지라인, 제1 및 제2가상 접지라인, 드레인이 상기 비트라인에 연결되고 게이트가 상기 제1워드라인에 연결되는 제1셀 트랜지스터, 및 드레인이 상기 비트라인에 연결되고 게이트가 상기 제2워드라인에 연결되는 제2셀 트랜지스터를 구비하는 것을 특징으로 한다.

<26> 상기 제1셀 트랜지스터의 소오스는 상기 제1가상 접지라인, 상기 제2가상 접지라인, 및 상기 접지라인중 어느 하나에 선택적으로 연결되거나 플로우팅된다. 상기 제2셀 트랜지스터의 소오스도 상기 제1가상 접지라인, 상기 제2가상 접지라인, 및 상기 접지라인중 어느 하나에 선택적으로 연결되거나 플로우팅된다.

<27> 상기 기술적 과제를 달성하기 위한 본 발명의 또 다른 일면에 따른 메탈 프로그래머블 톰의 메모리셀 구조는, 제1 및 제2워드라인, 제1 및 제2비트라인, 접지라인, 제1, 제2, 및 제3가상 접지라인, 드레인이 상기 제1비트라인에 연결되고 게이트가 상기 제1워드라인에 연결되는 제1셀 트랜지스터, 드레인이 상기 제1비트라인에 연결되고 게이트가 상기 제2워드라인에 연결되는 제2셀 트랜지스터, 드

레인이 상기 제2비트라인에 연결되고 게이트가 상기 제1워드라인에 연결되는 제3셀 트랜지스터, 및 드레인이 상기 제2비트라인에 연결되고 게이트가 상기 제2워드라인에 연결되는 제4셀 트랜지스터를 구비하는 것을 특징으로 한다.

<28> 상기 제1 및 제2셀 트랜지스터들의 소오스는 상기 제1가상 접지라인, 상기 제2가상 접지라인, 및 상기 접지라인중 어느 하나에 선택적으로 연결되거나 플로우팅된다. 상기 제3 및 제4셀 트랜지스터들의 소오스는 상기 제2가상 접지라인, 상기 제3가상 접지라인, 및 상기 접지라인중 어느 하나에 선택적으로 연결되거나 플로우팅된다.

<29> 본 발명과 본 발명의 동작 상의 잇점 및 본 발명의 실시에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시예를 예시하는 첨부 도면 및 첨부 도면에 기재된 내용을 참조하여야만 한다.

<30> 이하 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 제시된 동일한 참조부호는 동일한 부재를 나타낸다.

<31> 도 3 내지 도 5는 본 발명에 따른 메탈 프로그래머블 룸의 1 칼럼 비트 메모리셀 구조를 나타내는 도면이다.

<32> 도 3 내지 도 5를 참조하면, 본 발명에 따른 1 칼럼 비트 메모리셀 구조는, 제1 및 제2워드라인(WL1, WL2), 비트라인(BL), 제1 및 제2가상 접지라인(VGND1, VGND2), 접지라인(GND), 제1 및 제2엔모스 셀 트랜지스터(n31, n32)를 구비한다.

<33> 제1셀 트랜지스터(n31)는 드레인이 비트라인(BL)에 연결되고 게이트가 제1워드라인(WL1)에 연결되며, 제2셀 트랜지스터(n32)는 드레인이 비트라인(BL)에 연결되고 게이트가 제2워드라인(WL2)에 연결된다.

<34> 제1셀 트랜지스터(n31)의 소오스는 제1워드라인(WL1)에 의해 선택되고 인접한 두 개의 비트셀에 코딩되는 데이터에 따라서 제1가상 접지라인(VGND1), 제2가상 접지라인(VGND2), 및 접지라인(GND)중 어느 하나에 선택적으로 연결되거나 플로우팅된다. 또한 제2셀 트랜지스터(n32)의 소오스는 제2워드라인(WL2)에 의해 선택되고 인접한 두 개의 비트셀에 코딩되는 데이터에 따라서 제1가상 접지라인(VGND1), 제2가상 접지라인(VGND2), 및 접지라인(GND)중 어느 하나에 선택적으로 연결되거나 플로우팅된다.

<35> 다시 말해 제1셀 트랜지스터(n31)는 제1워드라인(WL1)과 제1가상 접지라인(VGND1)에 의해 선택되는 비트셀 및 제1워드라인(WL1)과 제2가상 접지라인(VGND2)에 의해 선택되는 비트셀에 의해 공유된다. 또한 제2셀 트랜지스터(n32)는 제2워드라인(WL2)과 제1가상 접지라인(VGND1)에 의해 선택되는 비트셀 및 제2워드라인(WL2)과 제2가상 접지라인(VGND2)에 의해 선택되는 비트셀에 의해 공유된다.

<36> 도 3은 본 발명에 따른 1 칼럼 비트 메모리셀 구조에서 제1워드라인(WL1)에 의해 선택되고 인접한 두 개의 비트셀에 데이터(0,1)이 코딩되고 제2워드라인(WL2)에 의해 선택되고 인접한 두 개의 비트셀에 (0,0)이 코딩된 경우를 나타낸다.

- <37> 도 3을 참조하면, 제1워드라인(WL1)에 의해 선택되고 인접한 두 개의 비트셀에 데이터(0,1)이 코딩된 경우에는 제1셀 트랜지스터(n31)의 소오스는 제1가상 접지라인(VGND1)에 연결된다. 또한 제2워드라인(WL2)에 의해 선택되고 인접한 두 개의 비트셀에 데이터(0,0)이 코딩된 경우에는 제2셀 트랜지스터(n32)의 소오스는 접지라인(GND)에 연결된다.
- <38> 이 경우의 동작을 살펴보면, 초기에 비트라인(BL)과 제1 및 제2가상 접지라인(VGND1, VGND2)은 모두 논리'하이'가 되고 접지라인(GND)은 항상 논리'로우' 값을 갖는다.
- <39> 제1워드라인(WL1)이 논리'하이'가 되고 제1가상 접지라인(VGND1)이 논리'하이'로부터 논리'로우'가 되는 경우에는, 제1셀 트랜지스터(n31)가 턴온되어 비트라인(BL)으로부터 제1가상 접지라인(VGND1)으로 디스차지 패쓰가 형성된다. 이에 따라 제1셀 트랜지스터(n31)을 통해 비트라인(BL)이 논리'하이'로부터 논리'로우'로 디스차지되고 비트라인(BL)의 논리'로우'값이 주변회로를 통해 독출된다. 즉 제1워드라인(WL1)과 제1가상 접지라인(VGND1)에 의해 선택되는 비트셀에 코딩된 데이터(0)가 독출된다.
- <40> 제1워드라인(WL1)이 논리'하이'가 되고 제2가상 접지라인(VGND2)이 논리'하이'로부터 논리'로우'가 되는 경우에는, 제1셀 트랜지스터(n31)가 턴온되더라도 제1가상 접지라인(VGND1)과 비트라인(BL)은 모두 논리'하이' 상태이다. 따라서 비트라인(BL)의 논리'하이'값이 주변회로를 통해 독출된다. 즉 제1워드라인(WL1)과 제2가상 접지라인(VGND2)에 의해 선택되는 비트셀에 코딩된 데이터(1)가 독출된다.

<41> 제2워드라인(WL2)이 논리'하이'가 되고 제1가상 접지라인(VGND1)이 논리'하이'로부터 논리'로우'가 되는 경우에는, 제2셀 트랜지스터(n32)가 턴온되어 비트라인(BL)으로부터 접지라인(GND)으로 디스차지 패쓰가 형성된다. 이에 따라 제2셀 트랜지스터(n32)을 통해 비트라인(BL)이 논리'하이'로부터 논리'로우'로 디스차지되고 비트라인(BL)의 논리'로우'값이 주변회로를 통해 독출된다. 즉 제2워드라인(WL2)과 제1가상 접지라인(VGND1)에 의해 선택되는 비트셀에 코딩된 데이터(0)가 독출된다.

<42> 제2워드라인(WL2)이 논리'하이'가 되고 제2가상 접지라인(VGND2)이 논리'하이'로부터 논리'로우'가 되는 경우에는, 제2셀 트랜지스터(n32)가 턴온되어 비트라인(BL)으로부터 접지라인(GND)으로 디스차지 패쓰가 형성된다. 이에 따라 제2셀 트랜지스터(n32)을 통해 비트라인(BL)이 논리'하이'로부터 논리'로우'로 디스차지되고 비트라인(BL)의 논리'로우'값이 주변회로를 통해 독출된다. 즉 제2워드라인(WL2)과 제2가상 접지라인(VGND2)에 의해 선택되는 비트셀에 코딩된 데이터(0)가 독출된다.

<43> 도 4는 본 발명에 따른 1 칼럼 비트 메모리셀 구조에서 제1워드라인(WL1)에 의해 선택되고 인접한 두 개의 비트셀에 데이터(0,0)이 코딩되고 제2워드라인(WL2)에 의해 선택되고 인접한 두 개의 비트셀에 (0,0)이 코딩된 경우를 나타낸다.

<44> 도 4를 참조하면, 제1워드라인(WL1)에 의해 선택되고 인접한 두 개의 비트셀에 데이터(0,0)이 코딩된 경우에는 제1셀 트랜지스터(n31)의 소오스는 접지라인(GND)에 연결된다. 또한 제2워드라인(WL2)에 의해 선택되고 인접한 두 개의 비

트셀에 데이터(0,0)이 코딩된 경우에는 제2셀 트랜지스터(n32)의 소오스는 접지 라인(GND)에 연결된다.

<45> 도 5는 본 발명에 따른 1 칼럼 비트 메모리셀 구조에서 제1워드라인(WL1)에 의해 선택되고 인접한 두 개의 비트셀에 데이터(1,1)이 코딩되고 제2워드라인(WL2)에 의해 선택되고 인접한 두 개의 비트셀에 (1,1)이 코딩된 경우를 나타낸다.

<46> 도 5를 참조하면, 제1워드라인(WL1)에 의해 선택되고 인접한 두 개의 비트셀에 데이터(1,1)이 코딩된 경우에는 제1셀 트랜지스터(n31)의 소오스는 플로우팅된다. 또한 제2워드라인(WL2)에 의해 선택되고 인접한 두 개의 비트셀에 데이터(1,1)이 코딩된 경우에는 제2셀 트랜지스터(n32)의 소오스는 플로우팅된다.

<47> 이때 플로우팅된 제1셀 트랜지스터(n31)의 소오스와 플로우팅된 제2셀 트랜지스터(n32)의 소오스는 일종의 안테나가 되어 잡음이 유발될 수 있다. 따라서 이러한 잡음을 방지하기 위해서는 제1셀 트랜지스터(n31)의 소오스와 제2셀 트랜지스터(n32)의 소오스가 비트라인(BL)에 연결될 수도 있다.

<48> 도 4에 도시된 경우의 동작과 도 5에 도시된 경우의 동작은 도 3에 도시된 경우와 동일한 원리에 의해 이루어지므로 여기에서 상세한 설명은 생략된다.

<49> 도 6 내지 도 8은 본 발명에 따른 메탈 프로그래머블 롬의 2 칼럼 비트 메모리셀 구조를 나타내는 도면이다.

<50> 도 6 내지 도 8을 참조하면, 본 발명에 따른 2 칼럼 비트 메모리셀 구조는, 제1 및 제2워드라인(WL1,WL2), 제1 및 제2비트라인(BL1,BL2), 제1 내지 제3가상

접지라인(VGND1, VGND2, VGND3), 접지라인(GND), 제1 내지 제4엔모스 셀 트랜지스터(n61 내지 n64)를 구비한다.

<51> 제1셀 트랜지스터(n61)는 드레인이 제1비트라인(BL1)에 연결되고 게이트가 제1워드라인(WL1)에 연결되며, 제2셀 트랜지스터(n62)는 드레인이 제1비트라인(BL1)에 연결되고 게이트가 제2워드라인(WL2)에 연결된다. 제3셀 트랜지스터(n63)는 드레인이 제2비트라인(BL2)에 연결되고 게이트가 제1워드라인(WL1)에 연결되며, 제4셀 트랜지스터(n64)는 드레인이 제2비트라인(BL2)에 연결되고 게이트가 제2워드라인(WL2)에 연결된다.

<52> 제1셀 트랜지스터(n61)의 소오스는 제1워드라인(WL1)에 의해 선택되고 인접한 두 개의 비트셀에 코딩되는 데이터에 따라서 제1가상 접지라인(VGND1), 제2가상 접지라인(VGND2), 및 접지라인(GND)중 어느 하나에 선택적으로 연결되거나 플로우팅된다. 제2셀 트랜지스터(n62)의 소오스는 제2워드라인(WL2)에 의해 선택되고 인접한 두 개의 비트셀에 코딩되는 데이터에 따라서 제1가상 접지라인(VGND1), 제2가상 접지라인(VGND2), 및 접지라인(GND)중 어느 하나에 선택적으로 연결되거나 플로우팅된다.

<53> 또한 제3셀 트랜지스터(n63)의 소오스는 제1워드라인(WL1)에 의해 선택되고 또 다른 인접한 두 개의 비트셀에 코딩되는 데이터에 따라서 제2가상 접지라인(VGND2), 제3가상 접지라인(VGND3), 및 접지라인(GND)중 어느 하나에 선택적으로 연결되거나 플로우팅된다. 제4셀 트랜지스터(n64)의 소오스는 제2워드라인(WL2)에 의해 선택되고 또 다른 인접한 두 개의 비트셀에 코딩되는 데이터에 따라서

제2가상 접지라인(VGND2), 제3가상 접지라인(VGND3), 및 접지라인(GND)중 어느 하나에 선택적으로 연결되거나 플로우팅된다.

<54> 다시 말해 제1셀 트랜지스터(n61)는 제1워드라인(WL1)과 제1가상 접지라인(VGND1)에 의해 선택되는 비트셀 및 제1워드라인(WL1)과 제2가상 접지라인(VGND2)에 의해 선택되는 비트셀에 의해 공유된다. 제2셀 트랜지스터(n62)는 제2워드라인(WL2)과 제1가상 접지라인(VGND1)에 의해 선택되는 비트셀 및 제2워드라인(WL2)과 제2가상 접지라인(VGND2)에 의해 선택되는 비트셀에 의해 공유된다.

<55> 제3셀 트랜지스터(n63)는 제1워드라인(WL1)과 제2가상 접지라인(VGND1)에 의해 선택되는 비트셀 및 제1워드라인(WL1)과 제3가상 접지라인(VGND3)에 의해 선택되는 비트셀에 의해 공유된다. 또한 제4셀 트랜지스터(n64)는 제2워드라인(WL2)과 제2가상 접지라인(VGND2)에 의해 선택되는 비트셀 및 제2워드라인(WL2)과 제3가상 접지라인(VGND3)에 의해 선택되는 비트셀에 의해 공유된다.

<56> 도 6은 본 발명에 따른 2 칼럼 비트 메모리셀 구조에서 제1워드라인(WL1)에 의해 선택되고 인접한 4개의 비트셀에 데이터(0,0,1,0)이 코딩되고 제2워드라인(WL2)에 의해 선택되고 인접한 4개의 비트셀에 (1,0,1,1)이 코딩된 경우를 나타낸다.

<57> 도 6을 참조하면, 제1워드라인(WL1)에 의해 선택되고 인접한 4개의 비트셀에 데이터(0,0,1,0)이 코딩된 경우에는 제1셀 트랜지스터(n61)의 소오스는 접지라인(GND)에 연결되고 제3셀 트랜지스터(n63)의 소오스는 제3가상 접지라인(VGND3)에 연결된다. 또한 제2워드라인(WL2)에 의해 선택되고 인접한 4개의 비트

셀에 (1,0,1,1)이 코딩된 경우에는 제2셀 트랜지스터(n62)의 소오스는 제2가상 접지라인(VGND2)에 연결되고 제4셀 트랜지스터(n64)의 소오스는 플로우팅된다.

<58> 이때 플로우팅된 제4셀 트랜지스터(n64)의 소오스는 일종의 안테나가 되어 잡음이 유발될 수 있다. 따라서 이러한 잡음을 방지하기 위해서 제4셀 트랜지스터(n64)의 소오스는 제2비트라인(BL2)에 연결될 수도 있다.

<59> 도 7은 본 발명에 따른 2 칼럼 비트 메모리셀 구조에서 제1워드라인(WL1)에 의해 선택되고 인접한 4개의 비트셀에 데이터(0,0,0,0)이 코딩되고 제2워드라인(WL2)에 의해 선택되고 인접한 4개의 비트셀에 (0,0,0,0)이 코딩된 경우를 나타낸다.

<60> 도 7을 참조하면, 제1워드라인(WL1)에 의해 선택되고 인접한 4개의 비트셀에 데이터(0,0,0,0)이 코딩된 경우에는 제1셀 트랜지스터(n61)의 소오스는 접지라인(GND)에 연결되고 제3셀 트랜지스터(n63)의 소오스도 접지라인(GND)에 연결된다. 또한 제2워드라인(WL2)에 의해 선택되고 인접한 4개의 비트셀에 (0,0,0,0)이 코딩된 경우에는 제2셀 트랜지스터(n62)의 소오스는 접지라인(GND)에 연결되고 제4셀 트랜지스터(n64)의 소오스도 접지라인(GND)에 연결된다.

<61> 도 8은 본 발명에 따른 2 칼럼 비트 메모리셀 구조에서 제1워드라인(WL1)에 의해 선택되고 인접한 4개의 비트셀에 데이터(1,1,1,1)이 코딩되고 제2워드라인(WL2)에 의해 선택되고 인접한 4개의 비트셀에 (1,1,1,1)이 코딩된 경우를 나타낸다.

<62> 도 8을 참조하면, 제1워드라인(WL1)에 의해 선택되고 인접한 4개의 비트셀에 데이터(1,1,1,1)이 코딩된 경우에는 제1셀 트랜지스터(n61)의 소오스와 제3셀 트랜지스터(n63)의 소오스는 모두 플로우팅된다. 또한 제2워드라인(WL2)에 의해 선택되고 인접한 4개의 비트셀에 (1,1,1,1)이 코딩된 경우에는 제2셀 트랜지스터(n62)의 소오스와 제4셀 트랜지스터(n64)의 소오스가 모두 플로우팅된다.

<63> 이때 플로우팅된 제1 내지 제4셀 트랜지스터(n61 내지 n64)의 소오스들은 일종의 안테나가 되어 잡음이 유발될 수 있다. 따라서 이러한 잡음을 방지하기 위해서 제1 및 제2셀 트랜지스터(n61,n62)의 소오스들은 제1비트라인(BL1)에 연결될 수도 있고 제3 및 제4셀 트랜지스터(n63,n64)의 소오스들은 제2비트라인(BL2)에 연결될 수도 있다.

<64> 도 6 내지 도 8에 도시된 경우들의 동작은 도 3에 도시된 경우와 동일한 원리에 의해 이루어지므로 여기에서 상세한 설명은 생략된다.

<65> 상술한 바와 같이 본 발명에 따른 메탈 프로그래머블 룸의 메모리셀 구조에서는 하나의 셀 트랜지스터가 동일한 워드라인에 의해 선택되는 인접한 두 개의 비트셀에 의해 공유된다. 이에 따라 디퓨전 프로그래머블 룸과 동일한 수준의 집적도를 유지할 수 있으며, 또한 비트라인의 부하 커패시턴스가 감소되어 독출동작 속도를 향상시킬 수 있고 전력소모를 감소시킬 수 있다.

<66> 이상에서와 같이 도면과 명세서에서 최적 실시예가 개시되었다. 본 명세서에는 1 칼럼 비트 메모리셀 구조와 2 칼럼 비트 메모리셀 구조만이 설명되었으나 4 칼럼 이상의 메모리셀 구조도 가능하다. 또한 여기서 특정한 용어들이 사용되었으나, 이는 단지 본 발명을 설명하기 위한 목적에서 사용된 것이지 의미한정이

나 특허청구범위에 기재된 본 발명의 범위를 제한하기 위하여 사용된 것은 아니다. 그러므로 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의해 정해져야 할 것이다.

【발명의 효과】

<67> 상술한 바와 같이 본 발명에 따른 메탈 프로그래머블 롬의 메모리셀 구조는 디퓨전 프로그래머블 롬과 동일한 수준의 집적도를 가지며 독출동작 속도를 향상시키고 전력소모를 감소시킬 수 있는 장점이 있다.

【특허청구범위】**【청구항 1】**

워드라인;

비트라인 ;

제1 및 제2가상 접지라인;

상기 워드라인의 신호와 상기 제1가상 접지라인의 신호에 의해 선택되는 제1비트셀; 및

상기 워드라인의 신호와 상기 제2가상 접지라인의 신호에 의해 선택되는 제2비트셀을 구비하고,

상기 제1비트셀과 상기 제2비트셀이 상기 비트라인에 일단이 연결된 하나의 셀 트랜지스터를 공유하는 것을 특징으로 하는 메모리셀 구조.

【청구항 2】

제1항에 있어서, 접지라인을 더 구비하는 것을 특징으로 하는 메모리셀 구조.

【청구항 3】

제2항에 있어서, 상기 셀 트랜지스터의 타단은 상기 제1가상 접지라인, 상기 제2가상 접지라인, 및 상기 접지라인중 어느 하나에 선택적으로 연결되거나 플로우팅되고 상기 셀 트랜지스터의 게이트는 상기 워드라인에 연결되는 것을 특징으로 하는 메모리셀 구조.

【청구항 4】

제1 및 제2워드라인;

비트라인;

접지라인;

제 1 및 제2가상 접지라인;

드레인이 상기 비트라인에 연결되고 게이트가 상기 제1워드라인에 연결되는
제1셀 트랜지스터; 및

드레인이 상기 비트라인에 연결되고 게이트가 상기 제2워드라인에 연결되는
제2셀 트랜지스터를 구비하는 것을 특징으로 하는 메모리셀 구조.

【청구항 5】

제4항에 있어서, 상기 제1셀 트랜지스터의 소오스는 상기 제1가상 접지라인
, 상기 제2가상 접지라인, 및 상기 접지라인중 어느 하나에 선택적으로 연결되거나
플로우팅되는 것을 특징으로 하는 메모리셀 구조.

【청구항 6】

제4항에 있어서, 상기 제2셀 트랜지스터의 소오스는 상기 제1가상
접지라인, 상기 제2가상 접지라인, 및 상기 접지라인중 어느 하나에 선택적으로
연결되거나 플로우팅되는 것을 특징으로 하는 메모리셀 구조.

【청구항 7】

제4항에 있어서, 상기 제1셀 트랜지스터는 상기 제1워드라인과 상기 제1가
상 접지라인에 의해 선택되는 제1비트셀 및 상기 제1워드라인과 상기 제2가상 접

지라인에 의해 선택되는 제2비트셀에 의해 공유되는 것을 특징으로 하는 메모리 셀 구조.

【청구항 8】

제4항에 있어서, 상기 제2셀 트랜지스터는 상기 제2워드라인과 상기 제1가상 접지라인에 의해 선택되는 제3비트셀 및 상기 제2워드라인과 상기 제2가상 접지라인에 의해 선택되는 제4비트셀에 의해 공유되는 것을 특징으로 하는 메모리 셀 구조.

【청구항 9】

제1 및 제2워드라인;

제 1 및 제2비트라인;

접지라인;

제 1, 제2, 및 제3가상 접지라인;

드레인이 상기 제1비트라인에 연결되고 게이트가 상기 제1워드라인에 연결되는 제1셀 트랜지스터;

드레인이 상기 제1비트라인에 연결되고 게이트가 상기 제2워드라인에 연결되는 제2셀 트랜지스터;

드레인이 상기 제2비트라인에 연결되고 게이트가 상기 제1워드라인에 연결되는 제3셀 트랜지스터; 및

드레인이 상기 제2비트라인에 연결되고 게이트가 상기 제2워드라인에 연결되는 제4셀 트랜지스터를 구비하는 것을 특징으로 하는 메모리셀 구조.

【청구항 10】

제9항에 있어서, 상기 제1 및 제2셀 트랜지스터들의 소오스는 상기 제1가상 접지라인, 상기 제2가상 접지라인, 및 상기 접지라인중 어느 하나에 선택적으로 연결되거나 플로우팅되는 것을 특징으로 하는 메모리셀 구조.

【청구항 11】

제9항에 있어서, 상기 제3 및 제4셀 트랜지스터들의 소오스는 상기 제2가상 접지라인, 상기 제3가상 접지라인, 및 상기 접지라인중 어느 하나에 선택적으로 연결되거나 플로우팅되는 것을 특징으로 하는 메모리셀 구조.

【청구항 12】

제9항에 있어서, 상기 제1셀 트랜지스터는 상기 제1워드라인과 상기 제1가상 접지라인에 의해 선택되는 비트셀 및 상기 제1워드라인과 상기 제2가상 접지라인에 의해 선택되는 비트셀에 의해 공유되는 것을 특징으로 하는 메모리셀 구조.

【청구항 13】

제9항에 있어서, 상기 제2셀 트랜지스터는 상기 제2워드라인과 상기 제1가상 접지라인에 의해 선택되는 비트셀 및 상기 제2워드라인과 상기 제2가상 접지라인에 의해 선택되는 비트셀에 의해 공유되는 것을 특징으로 하는 메모리셀 구조.

【청구항 14】

제9항에 있어서, 상기 제3셀 트랜지스터는 상기 제1워드라인과 상기 제2가상 접지라인에 의해 선택되는 비트셀 및 상기 제1워드라인과 상기 제3가상 접지라인에 의해 선택되는 비트셀에 의해 공유되는 것을 특징으로 하는 메모리셀 구조.

【청구항 15】

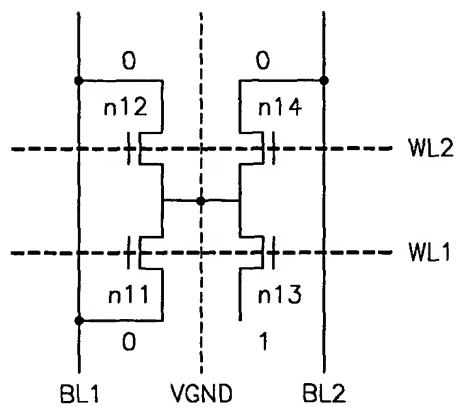
제9항에 있어서, 상기 제4셀 트랜지스터는 상기 제2워드라인과 상기 제2가상 접지라인에 의해 선택되는 비트셀 및 상기 제2워드라인과 상기 제3가상 접지라인에 의해 선택되는 비트셀에 의해 공유되는 것을 특징으로 하는 메모리셀 구조.

1020010030523

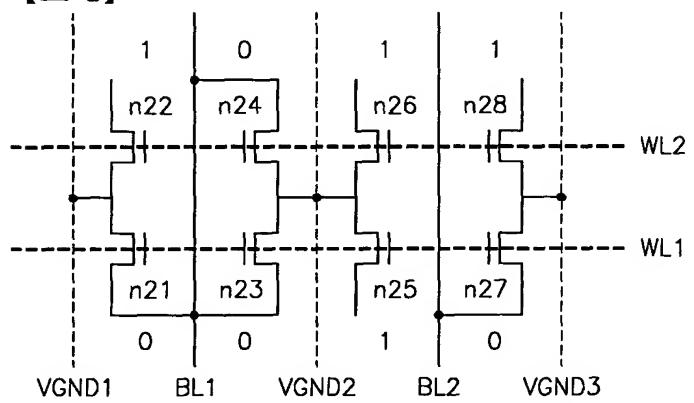
출력 일자: 2001/11/5

【도면】

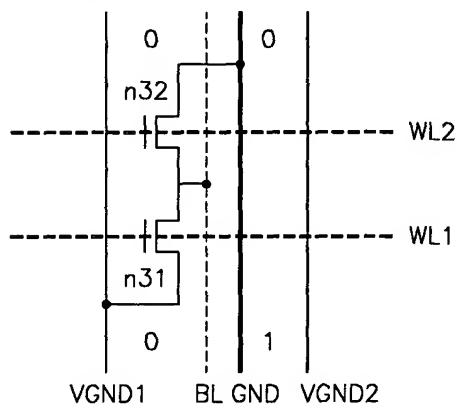
【도 1】



【도 2】



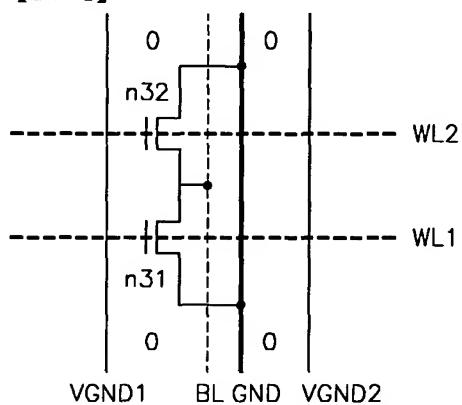
【도 3】



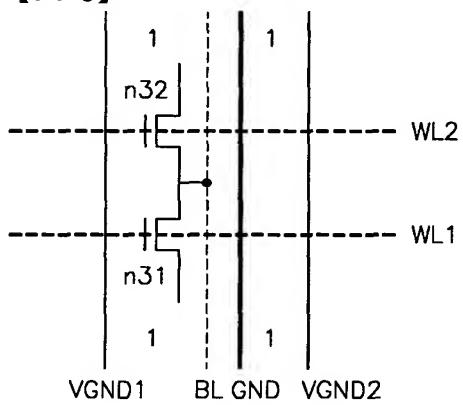
1020010030523

출력 일자: 2001/11/5

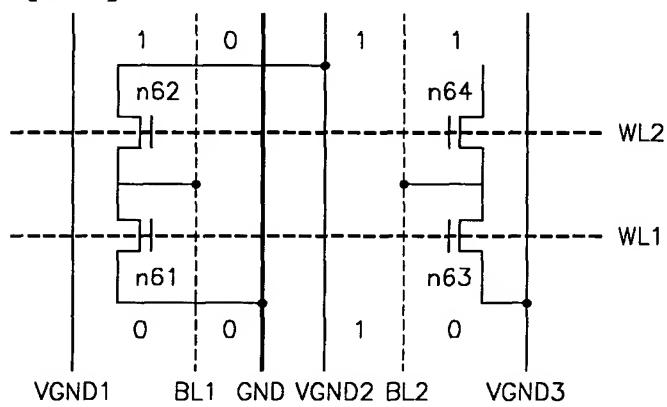
【도 4】



【도 5】



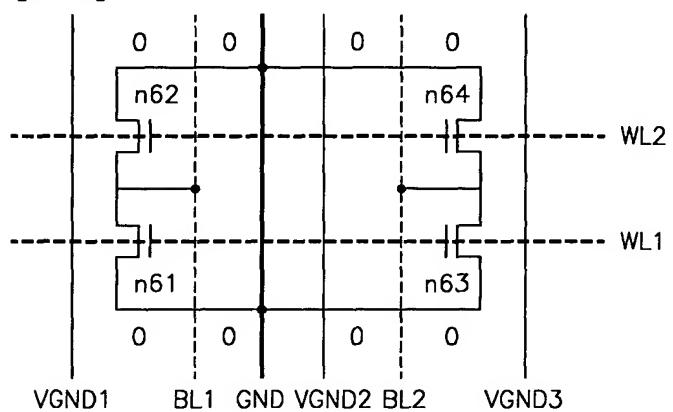
【도 6】



1020010030523

출력 일자: 2001/11/5

【도 7】



【도 8】

